ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ

**«САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ ПЕТРА ВЕЛИКОГО»**

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

**Лабораторная работа №6**

**Знакомство с пакетом Quartus Prime**

по дисциплине «Технологии проектирования аппаратных средств компьютерных систем»

Выполнил:

студент группы 3540901/02001

Бараев Д. Р.

Проверил:

А. П. Антонов

Санкт-Петербург 2020

**Содержание**

[Список иллюстраций 3](#_Toc59192043)

[Упражнение 6 4](#_Toc59192044)

[1. Введение 4](#_Toc59192045)

[1.1 Цель работы 4](#_Toc59192046)

[1.2 Алгоритм работы проекта 4](#_Toc59192047)

[2. Создание проекта 4](#_Toc59192048)

[3. Подключение внешней библиотеки 4](#_Toc59192049)

[4. Создание элементов (используя помощник) 4](#_Toc59192050)

[5. Изменение схемы для аппаратной реализации 6](#_Toc59192051)

[6. Анализ проекта с помощью RTL-viewer 6](#_Toc59192052)

[7. Назначение контактов 7](#_Toc59192053)

[8. Technology Map Viewer 8](#_Toc59192054)

[9. State Machine Viewer 9](#_Toc59192055)

[10. Chip Planner 9](#_Toc59192056)

[11. Назначения 12](#_Toc59192057)

[12. Анализ результатов 13](#_Toc59192058)

[Вывод 14](#_Toc59192059)

# Список иллюстраций

[Рисунок 1 - Подключение библиотеки 4](#_Toc59192023)

[Рисунок 2 - Схема проекта 5](#_Toc59192024)

[Рисунок 3 - Результат компиляции 5](#_Toc59192025)

[Рисунок 4 - Функциональное моделирование 6](#_Toc59192026)

[Рисунок 5 - Результат функционального моделирования 6](#_Toc59192027)

[Рисунок 6 - RTL Viewer 7](#_Toc59192028)

[Рисунок 7 - Содержимое ss\_cntr 7](#_Toc59192029)

[Рисунок 8 - Результаты работы Design Assistant 7](#_Toc59192030)

[Рисунок 9 - Таблица назначения контактов 8](#_Toc59192031)

[Рисунок 10 - Technology Map Viewer (Post-Mapping) 8](#_Toc59192032)

[Рисунок 11 - Technology Map Viewer (Post-Fitting) 9](#_Toc59192033)

[Рисунок 12 - State Machine Viewer 9](#_Toc59192034)

[Рисунок 13 - Chip Planner 10](#_Toc59192035)

[Рисунок 14 - Открытый DSP блок 10](#_Toc59192036)

[Рисунок 15 - Resource Property Editor 11](#_Toc59192037)

[Рисунок 16 - Зоны СБИС, где цепи заняты более чем на 5% 12](#_Toc59192038)

[Рисунок 17 - Выделенные сигналы в Assignment Editor 12](#_Toc59192039)

[Рисунок 18 - Группа входов sw в Pin Planner 13](#_Toc59192040)

[Рисунок 19 - Pin 46 в Chip Planner 13](#_Toc59192041)

[Рисунок 20 - Использование команды Generate Fan-Out Connections на PLL 14](#_Toc59192042)

# Упражнение 6

# Введение

1.1 Цель работы

Знакомство c возможностями пакета QuartusII по заданию установок, назначений, анализу реализации проекта и использованию базовых элементов СБИС Cyclone IV.

* 1. Алгоритм работы проекта
* Проект обеспечивает отображение на 7-сегментном индикаторе 3-разрядных десятичных чисел - результат умножения двух 4-разрядных двоичных чисел, задаваемых с переключателей:
* Число В, задаваемое переключателями sw[3..0]
* Число А, задаваемое переключателями sw[7..4]
* Режим отображения – динамический.

# Создание проекта

Проект был создан в рабочей папке lab6. СБИС - EP4CE6E22C8.

# Подключение внешней библиотеки

1. Для создания проекта потребовалось подключить внешнюю библиотеку, проект lab3, из которой нужно будет использовать модуль ss\_cntr.

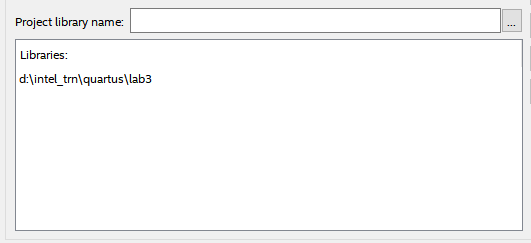


Рисунок 1 - Подключение библиотеки

# Создание элементов (используя помощник)

Для создания схемы проекта был создан ряд элементов проекта:

* Умножитель mult (разрядность 4 бита, опции Unsigned, Use dedicated multiplier circuitry, конвейеризация на 2 такта).
* Mif файл с количеством слов модуля памяти – 256 и разрядностью 16 (значения взяты из заготовки bin\_bd.xlsx).
* Компонент ROM, файлом инициализации памяти которого является bin\_bd.mif.
* Умножитель тактовой частоты pll\_100 (Частота – 25 МГц).

Блок управления глобальным тактовым сигналом, обеспечивающий выдачу тактового сигнала в глобальную цепь распространения тактового сигнала (после того как умножитель тактовой частоты закончит настройку – сигнал locked станет равен 1). Модуль ALTCLKCTRL.

Схема проекта, которая была составлена показана на рисунке ниже:

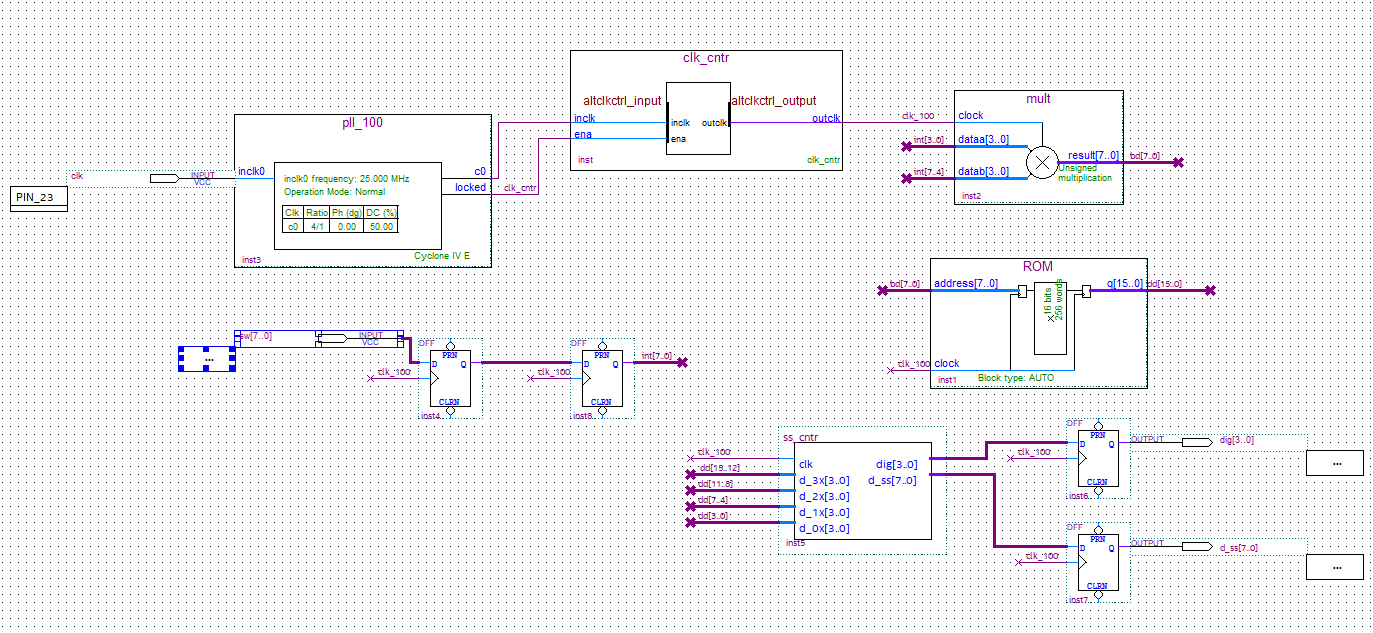


Рисунок 2 - Схема проекта

Перед компиляцией в счетчике компонента ss\_cntr значение модуля счета было изменено на 4. Компиляция была выполнена без ошибок.

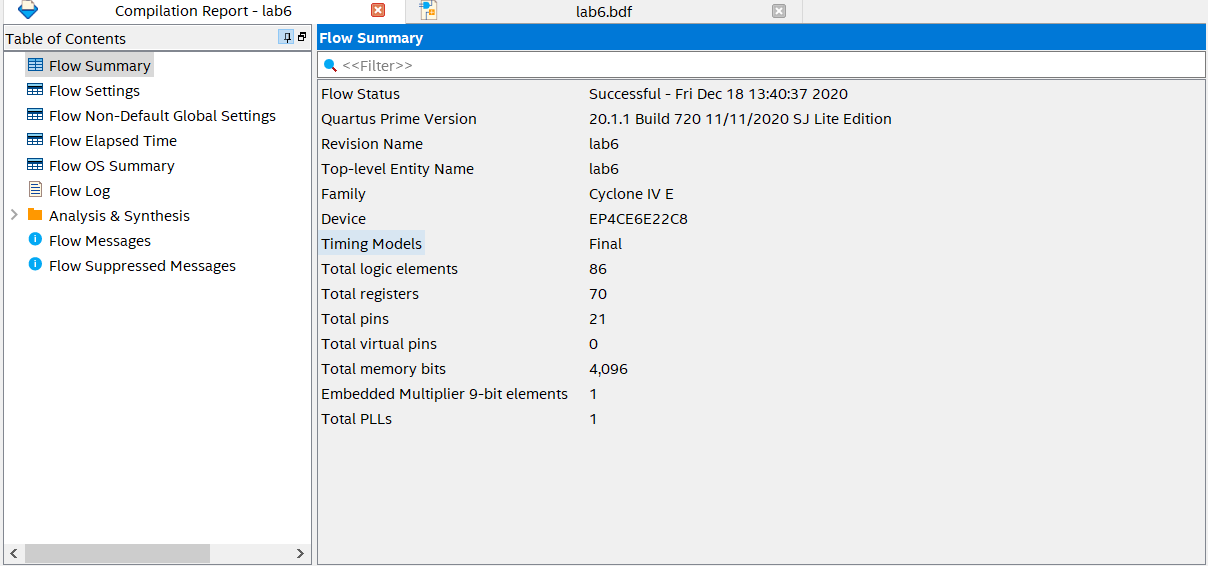


Рисунок 3 - Результат компиляции

Для функционального моделирования был создан тест длиною 2000ns, с тактовой частотой 10 (на изображении тест длиннее 2000ns, это было сделано при моделировании для наглядности результатов работы).

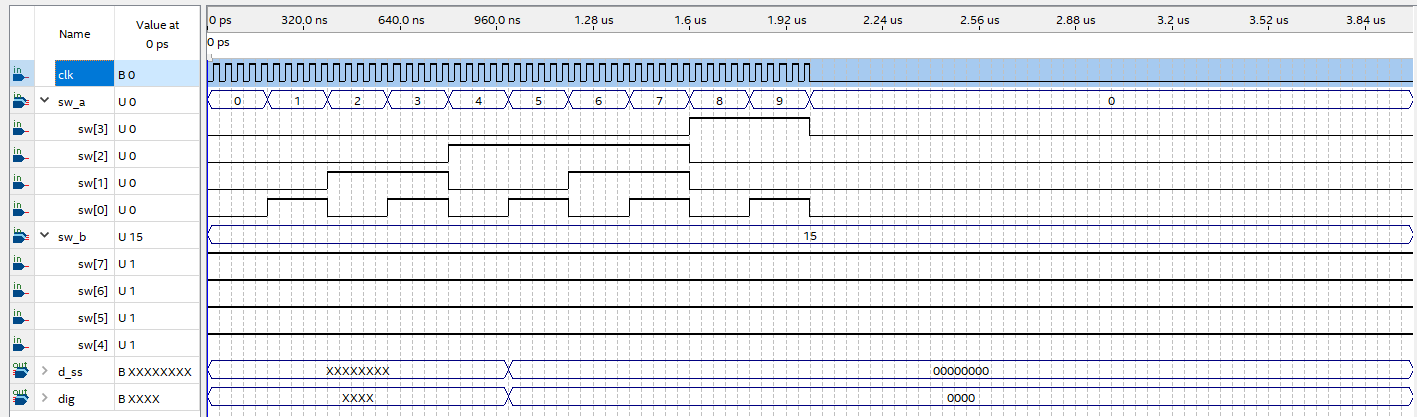


Рисунок 4 - Функциональное моделирование

Результаты моделирования демонстрируют то, как каждый такт выводятся на 7-сегментный индикатор числа. 3F – 0 на индикаторе, 6D – 6, 06 – 1 и т.д. Выводимые числа – это результаты умножения чисел, которые подаются на sw\_a и sw\_b.

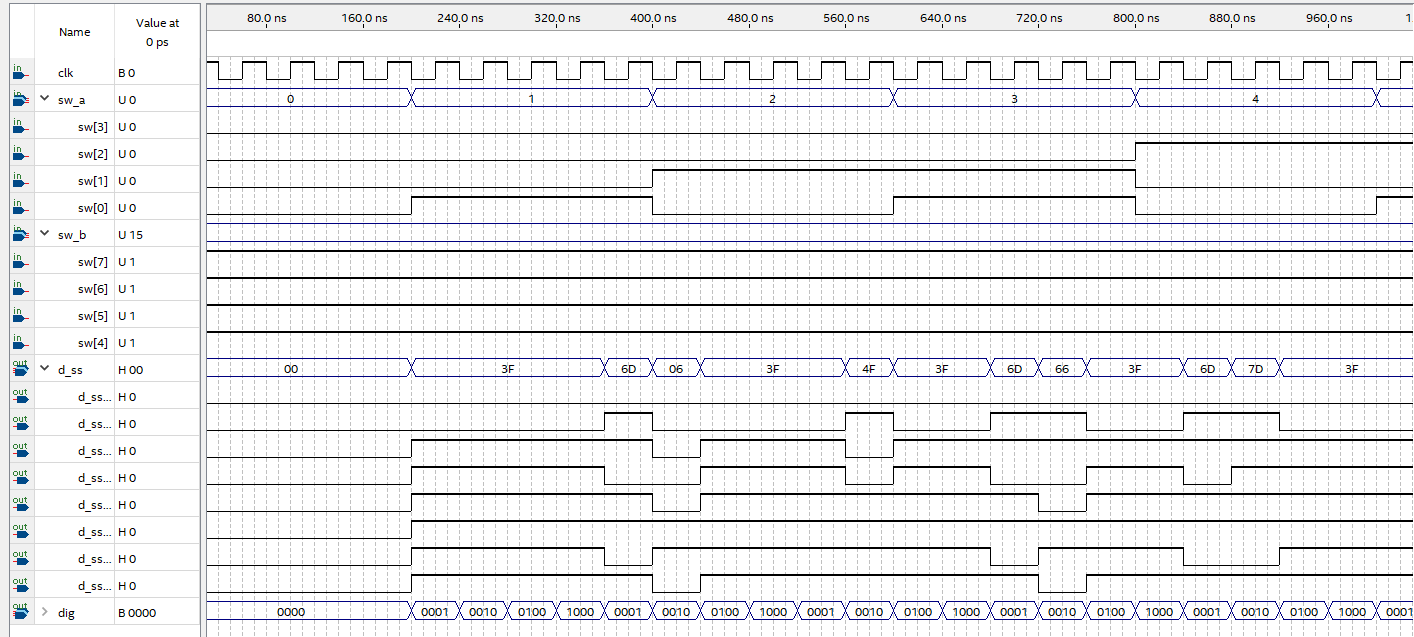


Рисунок 5 - Результат функционального моделирования

# Изменение схемы для аппаратной реализации

Модуль счета счетчика cnt\_div\_ss, обеспечивающего деление входной частоты 25 МГц был изменен на 4095.

# Анализ проекта с помощью RTL-viewer

С помощью возможностей перекрестных ссылок и сопоставлений была проверена структура проекта. Так, например, была рассмотрена подробная структура компонента ss\_cntr.

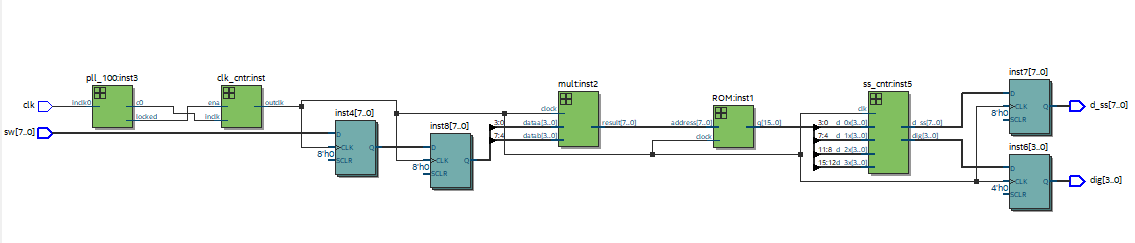


Рисунок 6 - RTL Viewer

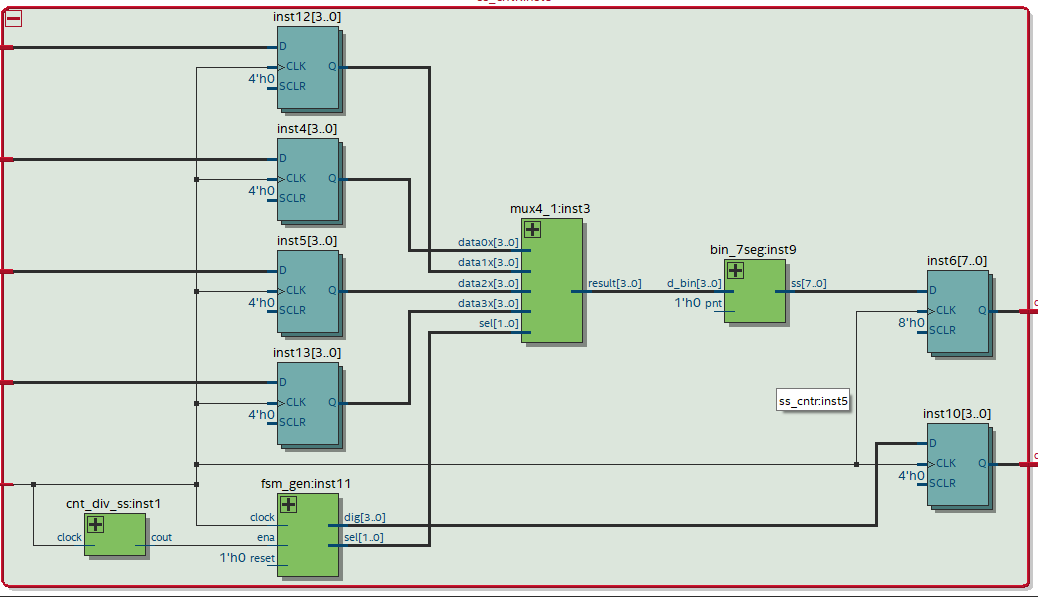


Рисунок 7 - Содержимое ss\_cntr

Проверка верности правил проектирования в Design Assistant оказалась успешной – не было выдано каких-либо ошибок.

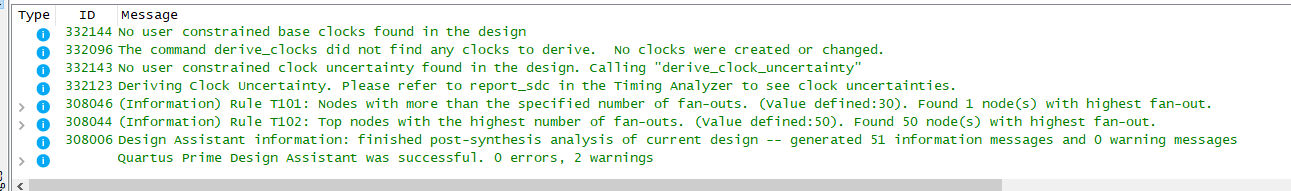


Рисунок 8 - Результаты работы Design Assistant

# Назначение контактов

Перед полной компиляцией проекта контакты СБИС были назначены согласно таблице, указанной в задании. Нужный режим работы неиспользуемых контактов был установлен в пакете по умолчанию.

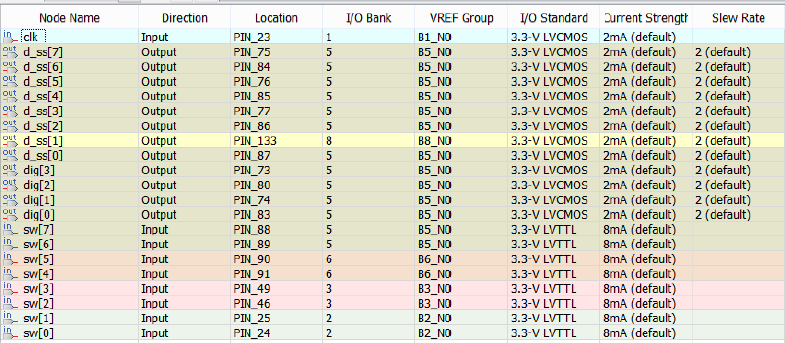


Рисунок 9 - Таблица назначения контактов

# Technology Map Viewer

Другим способом наглядного представления структуры проекта является Technology Map Viewer. Далее следуют два режима представления в приложении. Аналогично RTL-Viewer, отдельные элементы можно рассмотреть подробнее и сопоставить с исходной схемой.

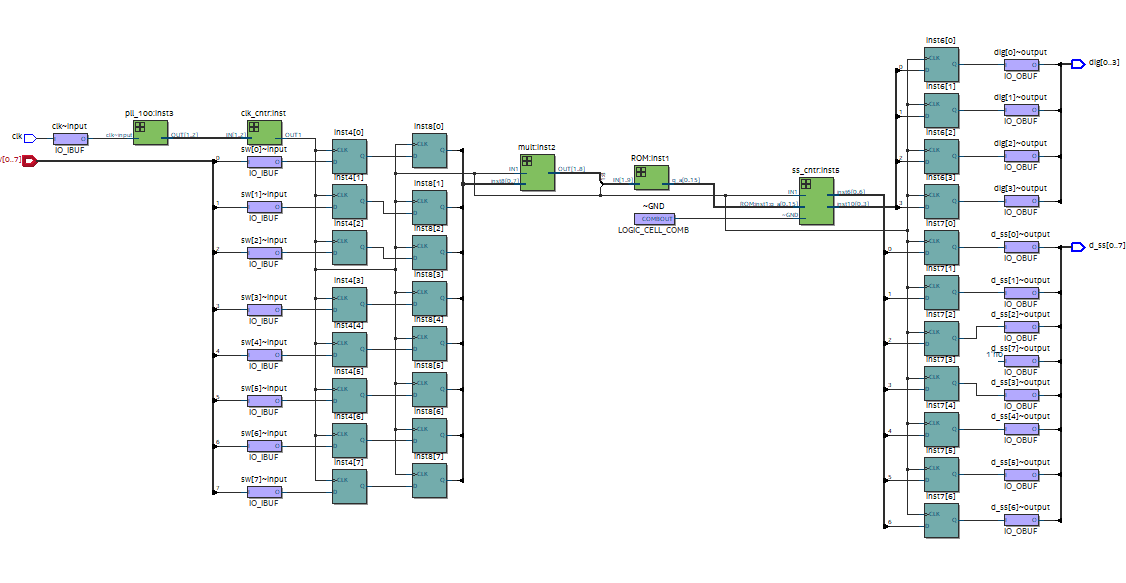


Рисунок 10 - Technology Map Viewer (Post-Mapping)

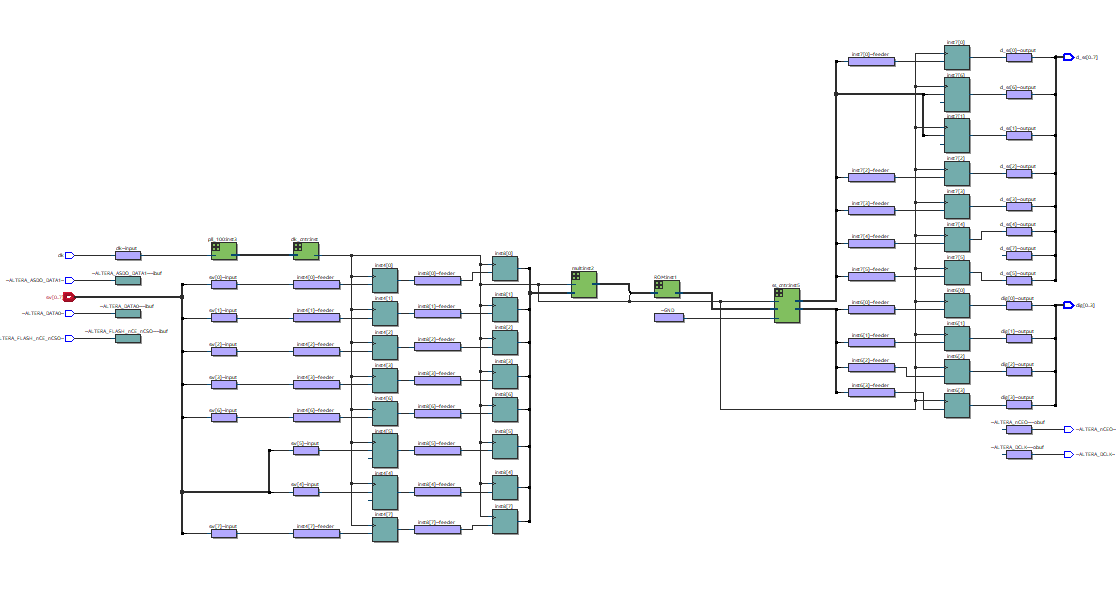


Рисунок 11 - Technology Map Viewer (Post-Fitting)

# State Machine Viewer

State Machine viewer демонстрирует конечные автоматы, которые присутствуют в проекте. На следующем рисунке представлен единственный КА, который используется в данной лабораторной работе. Для этого инструмента представления также возможно использование перекрестных ссылок.

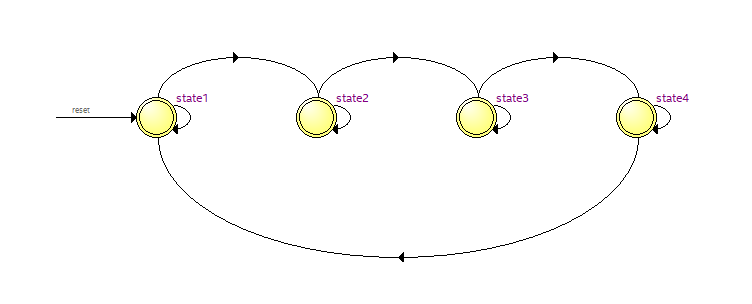


Рисунок 12 - State Machine Viewer

# Chip Planner

Chip Planner позволяет увидеть полное устройство микросхемы, и рассмотреть состав отдельных модулей и блоков, а также расположение вводов и выводов проекта.

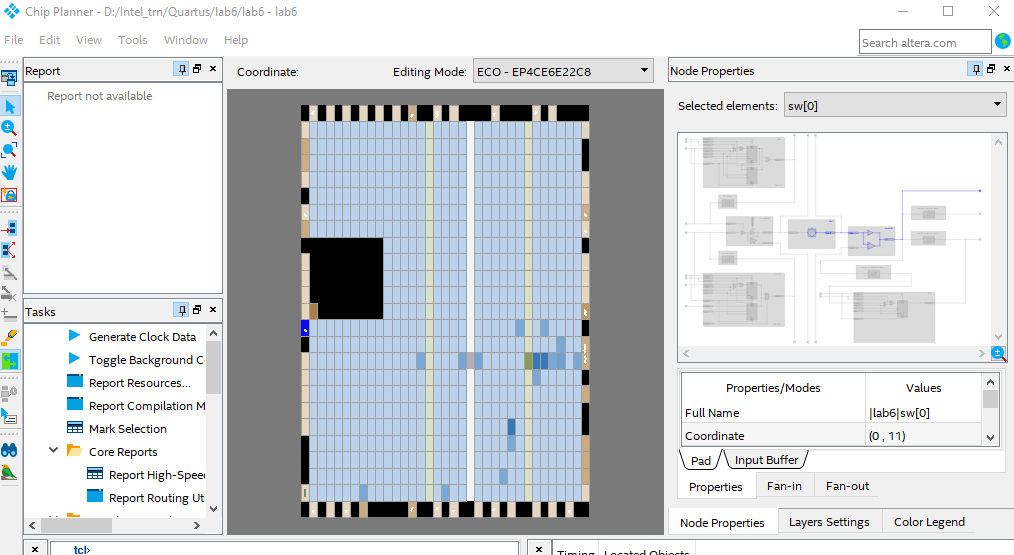


Рисунок 13 - Chip Planner

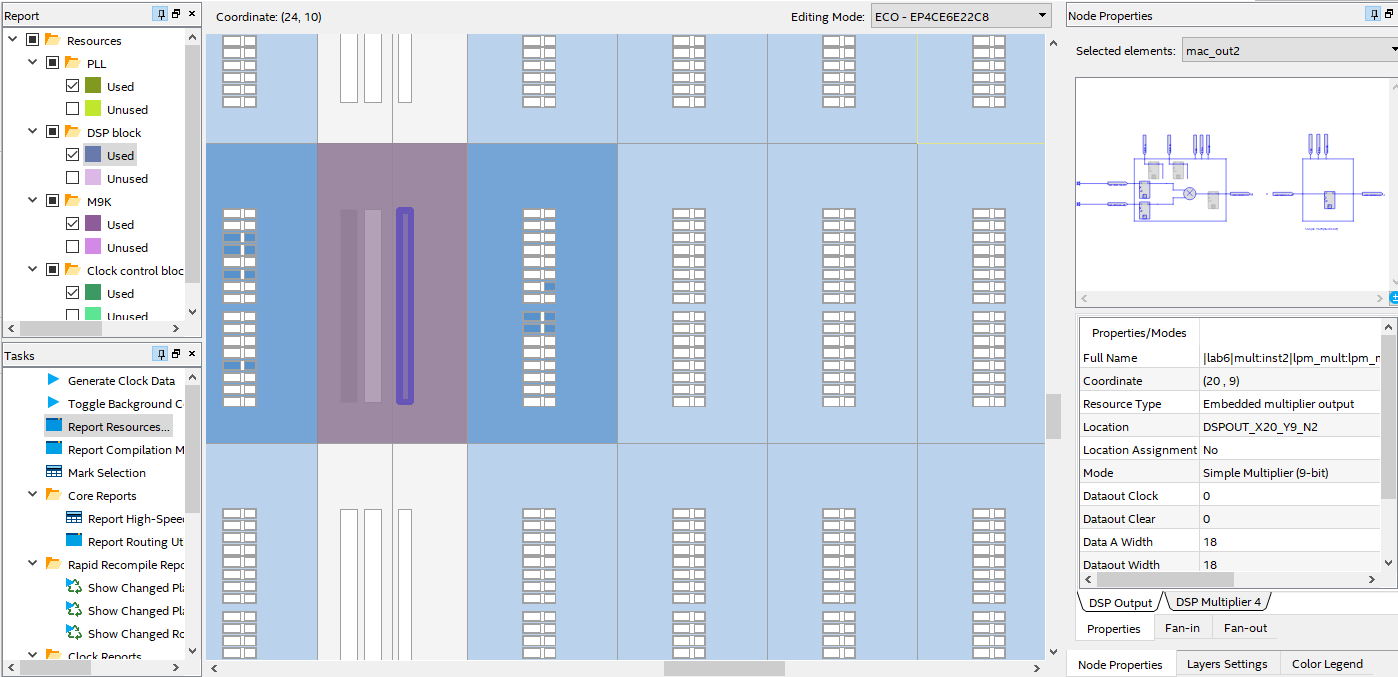


Рисунок 14 - Открытый DSP блок

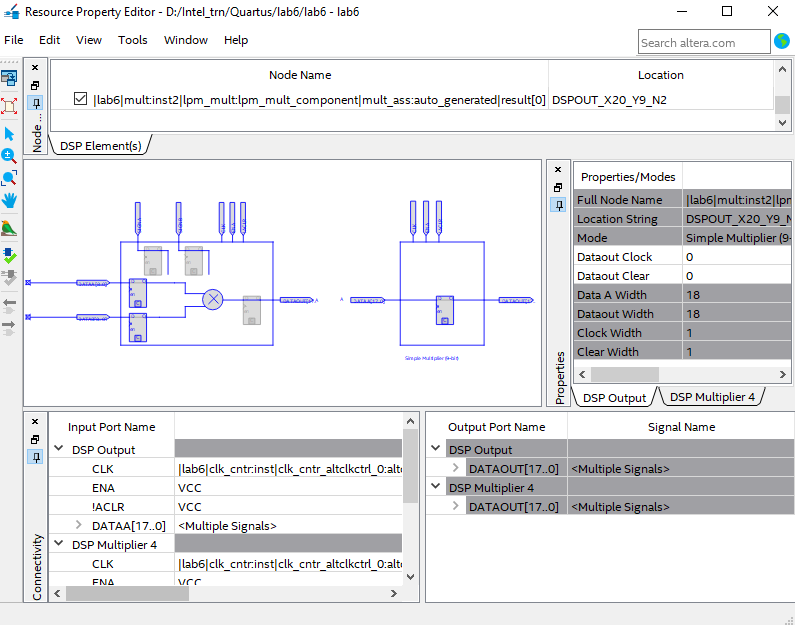


Рисунок 15 - Resource Property Editor

Использование инструмента Generate Fan-Out Connections на PLL позволяет увидеть:

* Первый раз: переход к модулю Clock control
* Второй раз: переход внутри модуля Clock Control
* Третий раз: тактовые сигналы, поступающие на все триггеры проекта.

Для проверки занятости цепей связи выполняется команда Report Routing Utilization, все поле станет синим (низкая загрузка), однако изменения значения движка threshold percentage до 5% покажет загруженные цепи.

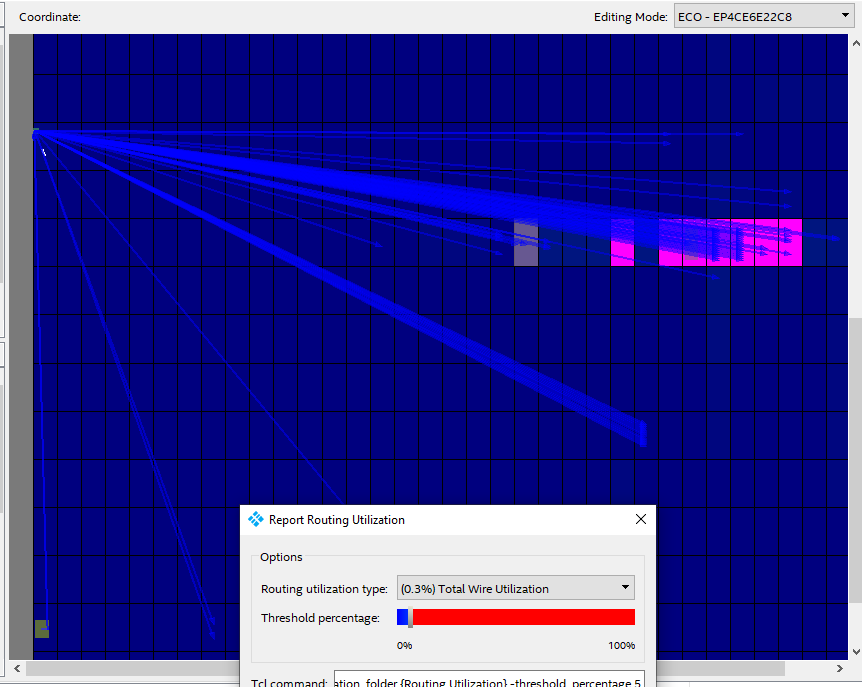


Рисунок 16 - Зоны СБИС, где цепи заняты более чем на 5%

# Назначения

Через Assignment Editor для группы входов sw было задано значение Fast Input Register – ON, а для добавленных групп выходов dig, d\_ss – Fast Ouput Register – OFF

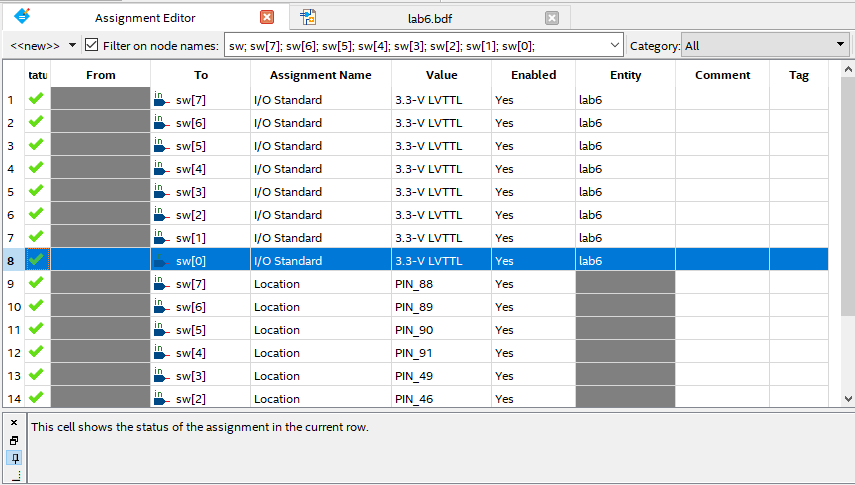


Рисунок 17 - Выделенные сигналы в Assignment Editor

# Анализ результатов

После проделанных операций, в Pin Planner была проверена группа входов sw.

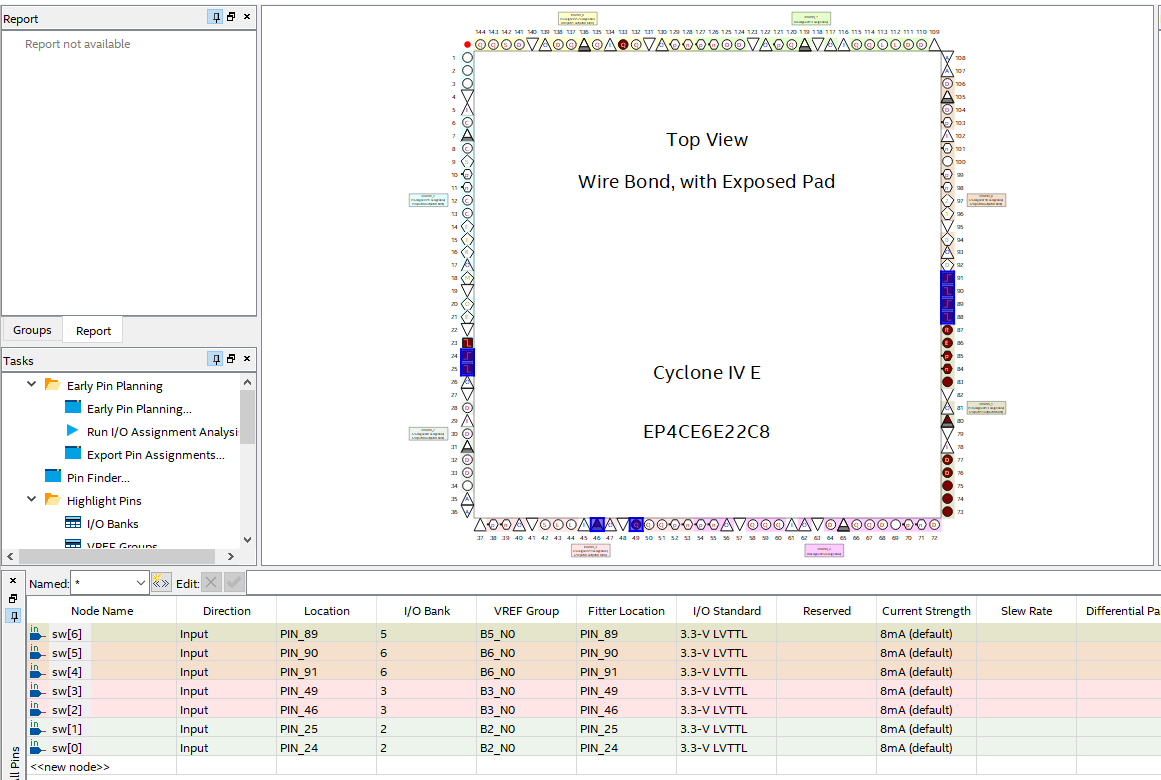


Рисунок 18 - Группа входов sw в Pin Planner

Вход 46 (sw[2]) был открыт в Chip Planner. По структуре его реализации можно заметить, что в элементе ввода-вывода использован триггер.

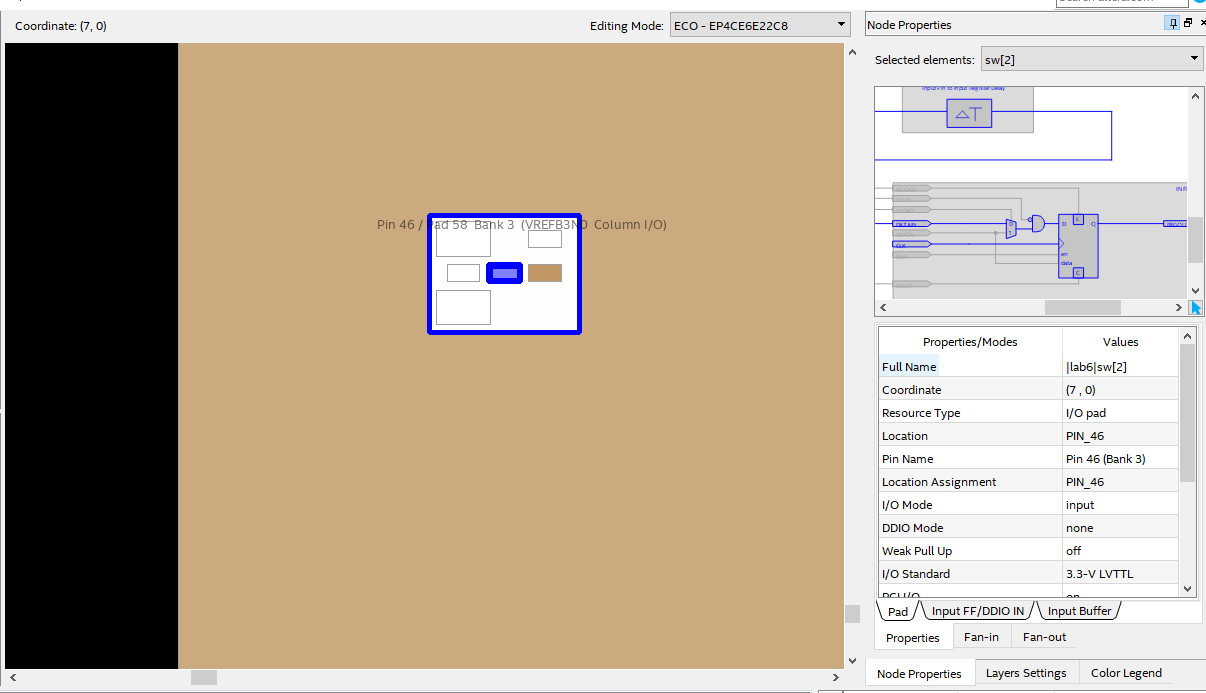


Рисунок 19 - Pin 46 в Chip Planner

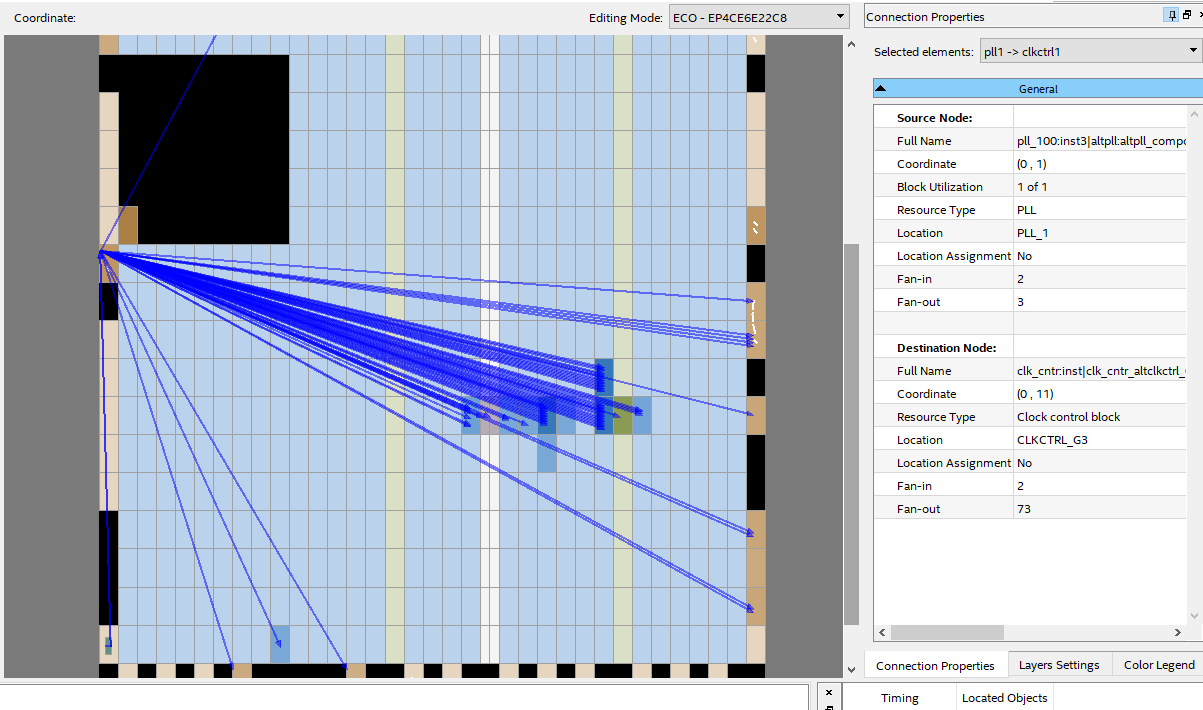


Рисунок 20 - Использование команды Generate Fan-Out Connections на PLL

# Вывод

В ходе данной лабораторной работы были рассмотрены возможности пакета Quartus Prime по анализу реализации проекта. RTL-viewer и Technology Map Viewer могут наглядно продемонстрировать общую структуру проекта. State Machine Viewer позволяет рассмотреть конечные автоматы, которые есть в проекте. Assignment Editor позволяет проверить назначения входов и выходов, а также менять их значения. Сделать анализ устройства проекта на СБИС позволяет Chip Planner, он отслеживает и внутренние ресурсы, и каналы связи в проекте.